

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09214849 A**(43) Date of publication of application: **15 . 08 . 97**

(51) Int. Cl.

H04N 5/445
G09G 5/30
H04N 5/278

(21) Application number: **08037048**(22) Date of filing: **01 . 02 . 96**(71) Applicant: **KURISU MOTOHIRO KURISU HIROKO**(72) Inventor: **KURISU MOTOHIRO**

(54) **TELEVISION ON-SCREEN DISPLAY DEVICE OF
 PICTURE ELEMENT ARITHMETIC GENERATION
 TYPE USING DISPLAY SCAN MEMORY FOR
 HORIZONTAL SCANNING LINE**

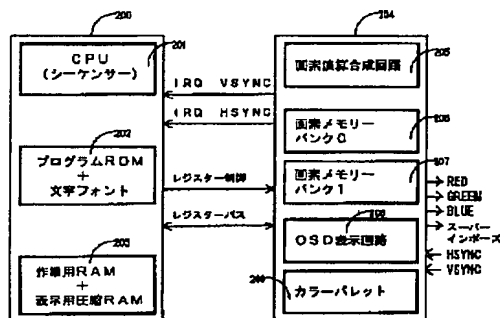
reception of a horizontal synchronizing signal. Then the processing is extended up to a vertical period.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To realize complicated television on-screen display at a low cost through the use of a high speed picture element arithmetic circuit and a small scale display scan memory by combining the display scan memory, a display circuit, a high speed picture element arithmetic circuit and a computer element by means of software.

SOLUTION: The unit is made up of picture element memories 206, 207 by two horizontal scanning lines at minimum, a picture element arithmetic synthesis circuit 205 having a processing function for the picture element forming, a color pallet 209, an OSD display circuit 208, a sequencer circuit 201 with a function of a computer element to execute arithmetic operations or its equivalent, storage devices 202, 203 and software controlling them. In this unit, while either of the picture element memories 206, 207 by two horizontal scanning lines executes OSD display, new data are calculated and generated in the other memory and the processing above is alternately repeated for each



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-214849

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/445			H 0 4 N 5/445	Z
G 0 9 G 5/30	6 5 0		G 0 9 G 5/30	6 5 0
H 0 4 N 5/278			H 0 4 N 5/278	

審査請求 未請求 請求項の数23 F D (全 21 頁)

(21) 出願番号 特願平8-37048

(22) 出願日 平成8年(1996)2月1日

(71) 出願人 593219780

栗須 基弘

神奈川県茅ヶ崎市今宿911-3-719

(71) 出願人 594031107

栗須 ヒロ子

神奈川県茅ヶ崎市今宿911-3-719

(72) 発明者 栗須 基弘

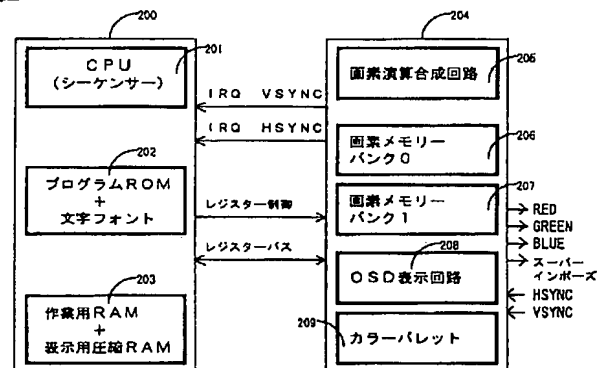
神奈川県茅ヶ崎市今宿911-3-719

(54) 【発明の名称】 水平走査線用表示スキャンメモリーを使った画素演算生成
型テレビ・オンスクリーン表示装置

(57) 【要約】

【目的】 高速な画素演算回路と小規模な表示用スキャンメモリーを使って、複雑なテレビオンスクリーン表示を低価格で実現する。

【構成】 複数ビットで1画素を構成する画素データからなる最低でも2本の水平走査線分の画素メモリー(206)(207)と、画素形成のための複数の異なる処理機能を有する画素演算合成回路(205)、カラーパレット(209)とOSD表示回路(208)及びその演算を実行する計算機素子或はそれと同等の機能を有するシーケンサー回路(201)、記憶装置(202)、(203)とそれを制御するソフトウェアからなる。



【特許請求の範囲】

【請求項1】 複数ビットで1画素を構成する最低でも2本の水平走査線の画素メモリー(206)(207)と、画素形成の為に複数の異なる処理機能を有する画素演算合成回路(205)、及びその演算を実行する計算機素子或はそれと同等の機能を有するシーケンサー回路(201)、複数の階層構造からなる圧縮した形の表示データ(203)と文字フォント(202)、グラフィクスアイコン、表示制御用ソフトウェア(202)を含む記憶装置、OSD表示回路(208)を使用して、複雑な画素データを表示するテレビ・オンスクリーン表示装置。

【請求項2】 請求項1の画素形成の為に演算合成回路で、演算モードをあらかじめ設定したアクセスモードレジスター(408)、スキャンラインレジスター(402)およびオフセットアドレスレジスター(401)を使って、文字と色を含む属性データから成る圧縮した形の表示データを、圧縮表示RAMデータレジスター(409)に書き込むことで、その時の水平走査線に該当する文字のフォントアドレスとその文字の属性データを複数のレジスター群(404)(406)(407)に1括して分離抽出する装置。

【請求項3】 請求項2のフォントアドレス・属性データ分離回路(300)で、分離時にあらかじめ文字フォント領域の格納開始アドレスをオフセットアドレスレジスター(401)に設定し、分離と同時にアドレス加算器(403)で加算し、その結果をフォントアドレスレジスター(404)に格納することでフォントのアドレス計算の高速化を図った装置。

【請求項4】 請求項2のフォントアドレス・属性データ分離回路(300)で、分離したフォントアドレスレジスター(404)のデータを読み込む度に、アクセスモードレジスター(408)のモードに従って読みだし後に自動的に現在のアドレス値+1或は-1を実行することで、複数の画素データの連続読み込みを高速化した装置。

【請求項5】 請求項2のフォントアドレス・属性データ分離回路(300)で、文字フォントをシフトして表示する場合でも、現在の属性レジスターA(406)と以前の属性レジスターB(407)を使用することにより、色を含む属性をシフトした分ずらして配分することを可能にした装置。

【請求項6】 請求項2のフォントアドレス・属性データ分離回路(300)で、アクセスモードレジスター(408)に文字の総数及び文字フォントの縦の最大ビット数を設定することで、スキャンラインレジスター(402)の有効ビット長と圧縮した形の表示データのなかの文字の有効ビット長とシフト量を1クロックで選択し、フォントアドレスの計算の高速化を図った装置。

【請求項7】 請求項1の画素演算合成回路(205)

で、演算モードをあらかじめ指定した演算モードレジスター(1601)と文字フォントレジスターA(500)、B(501)及び属性レジスターA、Bに、画素生成コマンドを画素演算コマンドレジスター(1602)に発行することで複数ビットからなる画素レジスターA群、B群(605)(606)(607)(608)に画素データを1括して生成する装置。

【請求項8】 請求項7の回路で、2組みの画素レジスターA群、B群(605)(606)(607)(608)とミキサーレジスターAH(904)及び画素演算コマンドデコーダー回路(1600)に画素生成コマンドを発行することで、ミキサーレジスターAHの1の値分だけ、画素レジスターB群のデータを画素レジスターA群に重ね合わせる装置。

【請求項9】 請求項8の重ね合わせ構造を有する回路と複数の階層構造からなるOSD表示フォーマットのデータを使って、水平走査期間中に階層毎にデータを重ね合わせることで複雑な表示を可能にする装置。

【請求項10】 請求項8の重ね合わせ回路に演算モードレジスター(1601)のシフト値を適用して、あらかじめ右側バレルシフトした画素レジスターB群のシフト量に見合った右側ビット領域、左側ビット領域、或は全ビット領域の重ね合わせモードを設けることで画素単位的位置で画素レジスターA群に重ね合わせる装置。

【請求項11】 請求項7の回路で、フォントレジスターA(500)のデータにAND・OR回路(502)を適用し、画素生成コマンド実行時にデータを修正することで文字フォントの点滅とアンダーライン機能を可能にする装置。

【請求項12】 請求項7の回路で、フォントレジスターA(500)とフォントレジスターB(501)のデータを基に左右フリッジ・即値生成回路(504)を使って右側フリッジ、左側フリッジ、両側フリッジ、上下フリッジからなる文字フォントの影をミキサーレジスターに生成する装置。

【請求項13】 請求項12の左右フリッジ・即値生成回路(504)で、フォントレジスターのデータ反転の機能を使って文字フォントのビット反転を実行したり、即値データの5555(HEX)とAAAA(HEX)のデータから透明と黒の画素を画素レジスターに生成し、水平同期信号毎、または映像信号の1フレーム毎に、ソフトウェアで交互に設定し、黒と透明の網の目を合成し、ハーフ・トーン効果の表示を可能にした装置。

【請求項14】 請求項7の回路で、フォントレジスターAとフォントレジスターBと右方向バレルシフター・2倍スムージング回路(505)を使って2倍フォントの生成とスムージング機能を可能にする装置。

【請求項15】 請求項7の画素レジスター群A、Bのペアーに画素メモリーバンクを直結し、画素メモリーに

1 括してデータを書き込み、或はデータを読み込むことで高速に画素データを転送する装置。

【請求項16】 請求項1のOSD表示回路で、表示の為、画素メモリのデータをシフトレジスタ(722)に取り込むとすぐに、画素メモリのデータを0データ出力回路(723)でクリアすることで、画素の高速演算化を図った装置。

【請求項17】 請求項1のOSD表示回路で、走査線周波数をN倍にして画質の改善をする時、同じ表示データをN本の走査線に表示する場合、水平同期信号による割り込みをN回に1回だけ発生させ、最後のOSD表示期間中に画素メモリをクリアすることで演算の高速化を図った装置。

【請求項18】 請求項2のフォントアドレス・属性データ分離回路(300)でフォントアドレスだけを生成し、属性データの更新をしない場合でも、通常のレジスタ書き込みで属性レジスタAにデータが書き込まれると、以前の属性レジスタAのデータが属性レジスタBに複写される機能を有する装置。

【請求項19】 請求項1のOSD表示回路で水平表示開始位置(804)と表示開始ビット位置(806)を組み合わせて、水平方向のスムーズスクロール表示を可能にした装置。

【請求項20】 請求項1の2つの画素メモリで、水平同期信号に追随しながら、リアルタイムで1方の画素メモリに画素データを演算形成し、もう1方の画素メモリの内容をカラーパレット(209)でRGBカラーに変換し、OSD表示回路で表示し、その処理を垂直期間分に迄、交互に繰り返すことで、全画面の表示を実現した装置。

【請求項21】 請求項20のカラーパレットを選択するデータの内の1つを透明なデータ、即ち、表示をしない状態に割り当てることで、表示を生成するときに用いるスーパーインポーズ端子の制御の為の画素メモリを不要にした装置。

【請求項22】 請求項7の画素演算コマンドレジスタ(1602)に発行する画素演算コマンドに画素生成コマンド(1603)、フリッジ生成コマンド(1604)、画素レジスタ設定コマンド(1605)のように複数の異なった機能を有するコマンドを定義することで、処理機能の改善を図った装置。

【請求項23】 請求項2の属性データの中で1ビットをサブカラー、4ビットをメインカラーとし、前景と背景を指定するモードを使って、メインカラーを前景、或は背景として使い、反対にサブカラーの1ビットで別に定義した2種類の4ビットカラーの内の1つを指定することで、前景・背景の選択を拡張したカラー演算装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はテレビ画面の映像表示

の上に文字及びグラフィクス等の複雑な表示を、小規模の表示スキャンメモリと画素の演算合成回路及び計算機素子を有機的に使用して、重ね合わせることを可能にしたテレビ用オンスクリーン表示装置に関するものである。

【0002】

【従来の技術】 従来のテレビ用オンスクリーン表示装置は文字とその色及び簡単な属性を表示メモリに蓄えて、水平及び垂直同期信号をもとに適度なタイミングで表示データを読み込み、キャラクタージェネレーターROMからフォントデータを得て、色及び属性を考慮した画素をハード的に表示するのが一般的であった。

【0003】 これに対し、複雑なテレビ表示を可能にするものとしては、ビットマップ方式を使った方法がある。これは一つの画素に複数のビットを割当て、1画素単位で表示をするもので、表示画面分のメモリとそれを制御する専用ICを使用する。

【0004】

【発明が解決しようとする課題】 従来のテレビ用オンスクリーン表示装置で複雑なOSD表示を実現するには回路上の限界があった。しかも一度設計するとその機能の改良には大規模な回路変更が必要とされ、回路自体の設計の柔軟性に欠けた。一方、ビットマップ方式を使った表示装置は複雑なOSD表示を可能とするが、外部に大規模なメモリを使用し、表示データの高速生成のための専用のグラフィクスコントローラICを必要とすることから、システム自体が高価格となった。

【0005】 本発明はビットマップ方式のような大規模な表示用メモリを使用することなく複雑なOSD表示を実現する。それによりシステムコストの低価格化を図る。その際、従来のOSD表示回路のような固有の専用ハードウェアを使用せずに、計算機素子とソフトウェアで高速に画素の生成処理ができるような支援回路を用いることで複雑なOSD表示のニーズに対処することを目的としている。

【0006】

【課題を解決する為の手段】 本発明は複雑なOSD表示をするために最低、2本の水平走査線分の画素メモリを使う。この小規模な表示用画素メモリと、階層構造からなる複数種類の圧縮した形の表示データ及び文字フォントデータと表示の演算生成を制御するソフトウェアを含む記憶装置、高速な専用演算合成回路、パレットレジスタ、表示回路、及び計算機素子或はこれと同等の機能を有するシーケンサ回路を組み合わせる。

【0007】 2本の水平走査線分の表示用画素メモリの構成は1画素4ビットで16画素単位、即ち4*16ビットのブロックデータからなる。水平解像度が640画素の場合には160*16ビット構成となり、2本分で合計320*16ビットとなる。

【0008】 複数種類の圧縮した形の表示データには、

属性データと文字データを含む文字表示型データ、1画素4ビットを画素単位で定義したアイコン表示型データ、表示枠の種類と座標のデータを指定するボタン表示型データ、カーソルの座標とその表示データからなるカーソル表示型データ、表示の輝度レベルを下げるハーフ・トーン表示の座標からなるハーフ・トーン表示型データを含む。

【0009】文字フォントのデータと表示の演算生成を制御するソフトウェアを含む記憶装置は、本実施例では横幅16ドットで、縦8ドット、16ドット、32ドットまでのフォントを含む。これ以外の10ドットや20ドットなどの2の2乗の境界を越えるものについては残り分のデータを別領域に定義する。文字のフォント領域は記憶装置のどの領域にでも設定可能である。

【0010】高速で動作する専用演算合成回路は2つのブロックから構成されている。1つは文字データと色を含む属性データを分離し、記憶装置に定義された文字フォントのアドレスを計算するフォントアドレス・属性データ分離回路、もう1つは分離した属性データと記憶装置から読み込んだ文字フォントから画素データを1括生成する画素演算生成回路から成る。

【0011】フォントアドレス・属性データ分離回路には、現在の水平走査線から割り出される文字フォントのスキャンラインを保持するレジスター、文字データの抽出の為にAND回路とシフター回路、記憶装置の文字フォント領域の開始アドレスを保持するレジスター、圧縮した形の文字表示型データを書き込む圧縮表示RAMデータレジスター、2組みの属性レジスターとフォントアドレスレジスターから成る。

【0012】画素演算生成回路は2組みの文字フォントレジスター、即値データ生成とソースレジスターの選択回路、バレルシフター、2組みの重ね合わせ用レジスター、2組みの4*16ビットの画素レジスター群と画素演算モードを指定するレジスター、画素演算コマンドを解釈する回路から成る。

【0013】パレットレジスターはRGBの各々に対し2ビットからなる6ビット1組で、全部で14個のデータからなる。4ビットの画素データが0の場合、透明なデータ、1の場合は黒を表示する。残りのデータを使ってパレットレジスターをアクセスする。表示回路はドットクロックカウンターと表示開始位置、最大表示桁を制御する回路とOSD表示のタイミング信号発生回路からなる。計算機素子もしくはシーケンサー回路は表示ソフトウェアの実行と16ビットのデータを各ブロックに転送する。

【0014】

【作用】2本の水平走査線分の表示用画素メモリーは1方の画素メモリーでOSD表示を実行している間にもう1方の画素メモリーに新しいデータを演算生成し、その処理を水平同期信号の入力のたびに交互に繰り返す。そ

れを垂直期間分にまで拡張する。これにより、大規模な表示メモリーを使うことなく、OSD表示を水平同期信号に追従しながら、リアルタイムで演算表示する。

【0015】RAMに貯えられた複数の種類の圧縮した形の表示データはそれぞれ階層構造を成している。それを順次、画素データに拡張して画素メモリーに格納する。新しく生成した画素データを1方の画素レジスターに格納し、もう1方の画素レジスターには以前に生成したデータを画素メモリーから読み込む。そして、2組みの画素レジスター群のデータを重ね合わせ、そのデータを画素メモリーに再格納する。こうして新しく拡張した表示データを階層的に重ね合わせることで複雑なOSD表示を可能にする。

【0016】文字データと属性データを含む圧縮した形の表示データをフォントアドレス・属性データ分離回路に書き込むと属性データを分離し、現在の属性データと以前の属性データの2組みを保持する。また、文字データと現在のスキャンラインから文字のフォントアドレスを1クロックで生成する。更に、記憶装置から読み込んだ文字のフォントデータと2組みの属性データに画素演算のためのコマンドを発行し、16画素を1括生成し、そのデータを画素メモリーに1クロックで書き込むことで、高速演算処理を可能にする。

【0017】

【実施例】以下、この発明の機能とそれを実現する回路を図面、フローチャート等を使って詳細に説明する。図1はテレビ画面上のOSD表示の例で、3階層の表示を合成したものとそれを各々の階層に分離したものである。垂直表示位置(101)は垂直同期信号の後の水平同期信号の数を計算機素子に対する割り込みで数えて位置決めする。水平表示位置(102)はフォントのドットクロックの数をハード的に数えて位置決めする。この例では最下位層の文字フォントは背景カラー(103)と前景カラー(104)からなっている。画素データは1画素あたり4ビットで16画素単位で演算される。4個の16ビットデータは画素メモリー0(701)から画素メモリー3(716)に対応している。4ビットの画素データの内、データ0は透明なデータ、即ち、OSD表示なしを意味し、データ1は黒レベル、即ち、RGB出力が最低レベルであることを意味する。それ以外のデータはRGBの各々にたいし2ビットずつ、全部で6ビットからなるカラーパレットの1つを選択する。図1の例では白レベルを便宜的にF(16進数)に割り当てている。中間層のボタン表示は右と下部に黒を左と上部に白を割り当てている。最上位層のカーソル表示は白である。

【0018】図2は本発明のOSDシステム全体のブロック図である。計算機素子(200)とOSD回路(204)から構成されている。計算機素子は通常CPU(201)、プログラムROM(202)、RAM(2

03) からなる。この発明では、プログラムROMのなかに文字フォント、アイコンのデータを持ち、RAMに複数の圧縮した形の表示データを持っている。OSD回路は演算合成回路(205)と2つのバンクの画素メモリー(206)(207)及び14個の6ビットからなるカラーパレット(209)、画素メモリーのデータを決まった水平位置から表示するためのOSD表示回路(208)を含む。画素演算合成回路はROMのフォント領域のアドレスの生成、画素の1括生成、重ね合わせ、シフト演算と画素メモリーへのデータの転送などを実行する。2本の水平走査線用に2つのバンクの画素メモリーを使う。OSD回路と計算機素子は16ビットのレジスタバスとアドレス線、書き込み、読み込み制御線及び2本の割り込み線で結ばれている。HSYNC(水平同期信号)とVSYNC(垂直同期信号)はその極性が修正された後、計算機素子への割り込み信号として入力される。

【0019】図3はOSD回路のブロック構成図である。フォントアドレス・属性データ分離生成回路(300)では文字と属性データで構成される16ビットデータをROMに割り当てられたフォント領域を指定するフォントアドレスと残りの属性データに分離生成する回路である。フォントシフター・フリッジ生成回路は2組みのフォントレジスターから文字の影、即ちフリッジを生成したり、フォントデータをシフトすることができる。画素の重ね合わせのため2組みの画素レジスター群が用意されている。シフトされたフォントの値とフリッジデータが2組みの属性レジスターで指定されるカラー情報とマトリクス状に交錯し、その演算結果が画素レジスター群に1括生成される。画素演算コマンドデコーダー回路(303)は画素演算コマンドの発行時、書き込まれた16ビットデータと画素演算モードレジスター(1601)をもとに(301)(302)(206)(207)の各ブロックに制御信号を送る。画素表示メモリー(206)(207)は水平解像度640ドットの場合、160ワードを必要とし、2バンク分で合計320ワードになる。2組みの画素表示メモリーの1方を表示用、もう1方を演算生成用として、水平同期信号が来るたびに交互に用いる。表示タイミング信号はOSD表示回路(208)から1方の画素表示メモリーに送られ、画素のデータを4ワード単位でシフトレジスター・パレットカラー(303)に取り込む。4ワードのデータは4個のシフトレジスターに格納されパレットレジスターに転送される。このときシフトされた4ビットのデータが0と1のときはパレットレジスターを使用しない。データが0のときRGB出力を最低レベル、スーパーインポーズ出力をローにし、OSD表示を禁止する。1のときRGB出力を最低レベル、スーパーインポーズ出力をハイにして黒レベルを出力する。これにより、スーパーインポーズのためのメモリーバンクとレジスターを使用

しなくてすむ。それ以外のデータについては14個のカラーパレットからデータを読み込み、RGBの各々に2ビットのデータを出力する。

【0020】図4はフォントアドレス・属性データ分離生成回路(300)の内部回路である。圧縮表示RAMデータレジスター(409)にデータが書き込まれるとオフセットレジスター(401)とスキャンラインレジスター(402)及びそのモードを指定するアクセスモードレジスター(408)の回路群にデータが分配されてフォントアドレスレジスター(404)と属性レジスターA(406)に同時に2種類のデータが分離、抽出される。圧縮した形の16ビットデータの上位には属性データが割り当てられ、下位部分には文字データが割り当てられている。文字データのビット数が大きくなって十分な属性データを確保できなくなった場合にはそれらのデータを2つのワードに別々に定義する。その場合、上記の演算が行なわれても属性レジスターを変更しない様に属性データ抽出禁止ビットをアクセスモードレジスターに設けている。圧縮した形のデータが書き込まれるとフォントアドレス・属性データ分離・シフト回路(400)で文字データの分のみ分離される。その時アクセスモードレジスターで指定されたスキャンラインレジスター(402)の幅の分だけ文字データが左方向にシフトされる。この場合文字フォントの縦方向が8ドット、16ドットおよび32ドットを想定してシフト量も3ビット、4ビット、5ビットと可変できる。こうして文字データとスキャンラインレジスターがシフト加算される。グラフィクスデータのようにドット単位に色指定が必要な場合4ワード単位で画素データをアクセスする必要がある。そのアクセス方法としてはグラフィクスデータを文字フォントの様に数字で指定することがある。この場合にはグラフィクスデータとスキャンラインレジスターの合成したデータをさらに2ビット左シフトする。こうして抽出した分離アドレスとオフセットアドレスレジスター(401)をアドレス加算器(403)を使って加算し、その結果をフォントアドレスレジスターに格納する。オフセットアドレスレジスターはROM領域の任意の位置に自由にフォント領域を定義する目的以外に文字フォントを10ドットとか20ドットといった2の2乗の境界を越えて定義する場合、その余りを1ヶ所に集め、スキャンライン毎にオフセット値を変えてアクセスすることで無駄なくROMを使うためにある。加算・減算器(405)はCPUがフォントアドレスレジスターを読み込むとアクセスモードレジスターのモードに従って、フォントアドレスが不変、+1、-1される。これはグラフィクスデータの取り込みなどのブロックデータのアクセスやフリッジ及びフォントのスムージング等の生成で1つ前或は1つ後の文字フォントが必要な時に用いる。属性データは上位部分のみがマスクされて属性レジスターAに書き込まれる。このとき以前の属性レジ

スターAの値が属性レジスターBに転送される。属性レジスターAに通常のレジスターアクセスでデータが書き込まれた場合でも同様のプッシュ動作が実行される。こうして現在の属性データは属性レジスターAに過去の属性レジスターは属性レジスターBに格納される。過去の属性は図11に示すように文字フォントのシフト演算時その左側に格納された過去のフォントデータの属性に使用される。

【0021】図5はフォントシフター・フリッジ生成回路の詳細回路である。フォントレジスターA(500)にはROM領域に定義されたフォントデータが格納される。フォントレジスターB(501)にはフリッジや2倍フォントのスムージング処理をする時、スキャンラインの1つ前のフォント或は1つ後のフォントを格納する。次にAND・OR回路(502)(503)を使ってフォントの点滅とアンダーラインの前処理を実行する。そして左右フリッジ・即値生成回路(504)では左側フリッジ、右側フリッジ、両側フリッジの生成、0000(16進)、5555(16進)及びフォントデータを含む全てのデータの反転を画素演算コマンドを使って実行する。右方向パレルシフト・2倍スムージング回路(503)では入力データの右方向シフト演算、或は入力フォントAとBの2倍のフォント生成及びそれらのスムージング演算を実行し、32ビットのデータを出力する。ミキサーレジスターAL(506)はシフト演算後の下位16ビットのフォントを1時的に保持する。ミキサーレジスターBL(507)はフリッジビットの下位16ビットを保持する。この2つの16ビットデータはマルチプレクサー回路(508)で選択され、シフト演算時には左側データの成分としてマルチプレクサー回路(509)で合成される。その時の割合は演算モードレジスターの4ビットシフト値をシフト配分回路(510)を使って16ビットに変換し、マルチプレクサー回路で選択する。こうして上位16ビットからはみ出した右側の下位16ビットデータはミキサーレジスターAL、BLに再格納され、演算中の上位16ビットが図中のシフト後のフォントデータとしてミキサーレジスターAH、BH及び画素レジスター群に転送される。

【0022】図6は画素レジスター群A、BとミキサーレジスターAH、BHのブロック図である。フォントデータとカラーデータから画素生成コマンドを使って画素レジスター群A、Bに1括生成する。実際の画素レジスターの最少構成は図10に示すマルチプレクサー(1000)(1001)(1002)と画素レジスタービットA、B(1003)(1006)、それに付随する回路からなる。図6のカラーデータは実際には図10の過去カラー背景、前景ビットと現在カラー背景、前景ビットに相当する。シフト後のフォントデータで前景及び背景カラーを選択する。ミキサーレジスターAH(506)とシフト配分回路(510)はビット配分回路(6

03)でANDされて画素レジスター群の重ね合わせ指定に使用する。フリッジ合成の場合、ミキサーレジスターBH(507)とシフト配分回路(510)はビット配分回路(603)でANDされて画素レジスター群のフリッジ指定に使用される。各々の画素レジスターはレジスターバスで個別にアクセスできる。

【0023】図7は画素レジスター群と画素メモリの詳細回路図である。ここでは画素レジスターA0、B0について説明する。画素レジスターA1、B1からA3、B3も同様である。アドレスバスMUX(720)(721)はレジスターアドレスとOSDアドレスのマルチプレクサー回路で画素メモリーバンク指定ビットが0のときには画素メモリーアドレスは画素メモリーバンク0につながり、OSDアドレスは画素メモリーバンク1につながる。画素メモリーバンク指定ビットが1のときは丁度その反対になる。データバスMUX(703)と(704)も同様である。OSDアドレスで指定される画素メモリーは表示タイミングに従ってそのデータがシフトレジスター回路(722)に格納された後、0データ出力回路(723)によって0にクリアされる。これはソフトウェアでクリアする無駄時間を省くためである。IDTVやEDTVの場合、走査線周波数を2倍にして画質を改善する。周波数が2倍になり2本の走査線に同じ画素データを出力する場合には、HSYNCによる割り込みを2回に1回発生させ、画素データのクリアも2回目の表示中に実行する。N本の走査線の場合も同様である。その後シフトレジスター回路から4ビットのパレット選択データが出力される。

【0024】図8はOSD表示回路の構成とカラーパレットの図である。水平同期信号のHSYNCパルスはドットクロックカウンタ(800)、カウンタ制御回路(801)及び表示タイミング・RGB出力回路を初期設定する。ここでDOTCKはHSYNCパルスに同期した信号である。水平同期信号の入力の後、DOTCKによってドットクロックカウンタがアップし、あらかじめ設定された水平表示開始位置(804)になると比較回路(805)の一致出力が、カウンタ制御回路(801)に送られる。そしてドットクロックカウンタがクリアされ、最初のOSDアドレス0が該当の画素メモリーバンクに出力され、16ドット後に画素メモリーからシフトレジスター回路(722)にデータが格納される。シフトされた4ビットデータでカラーパレット(803)を選択し、表示タイミング・RGB出力回路(802)で1画素単位で出力される。表示開始ビット位置(806)は16画素1桁の間での表示開始位置と表示終了位置を指定する。最大表示桁数で表示桁の幅を指定する。

【0025】図9は画素生成コマンド実行時の機能ブロック図である。画素生成コマンドは文字のフォントと属性データから1クロックで画素データを生成する機能を

もつ。この図では、文字フォントはフォントレジスターAに保持され、バレルシフターでシフト演算されてミキサーレジスターALの上位データとマルチプレクサーされる。新しい結果はミキサーレジスターAH(904)とALに再度、格納される。属性レジスターA、Bのカラーデータから前景カラーと背景カラーが(907)(908)回路で選択される。現在・過去カラービットマップ合成回路(909)は現在の前景・背景カラー、過去の前景・背景カラーの4種類のデータをシフトの割合に応じて配分する。(509)出力のシフト演算のデータが1のときは前景カラーを、0のときは背景カラーを選択し、4ビットのカラーデータを画素レジスター群(910)A、Bに格納する。

【0026】図10は画素レジスタービットA、Bとその周辺回路である。画素レジスターA(1003)、B(1006)は3入力のDタイプフリップフロップでE1、E0が00(2進数)のときには現在のQ出力を保持し、01のときにはD0の値を、10のときにはD1の値を、11のときにはD2の値を保持する。CKは画素演算コマンドの書き込み、及び通常のレジスター書き込みのときのトリガー入力である。(1000)のマルチプレクサー回路はレジスターバスデータ、画素メモリーデータ及びフォントレジスターのシフト演算データ、画素レジスターBのデータの内の1つを選択する。(1000)のレジスターバス入力はCPUから直接、画素レジスターにデータを書き込むときに、画素メモリーデータ入力は画素メモリーのデータ読み込みに、画素レジスターB入力は画素レジスターAに重ね合わせる時に使用する。バレルシフト後のデータ入力は画素演算コマンドの発行の時に使用される。これらのデータを格納するときにはレジスター書き込みA、B、シフト配分ビットと画素演算コマンドをデコードして生成したシフト配分イネーブルA、Bの制御線が使用される。フォントレジスターAと属性レジスターA、Bから文字の画素データを1括生成する場合には(1001)のマルチプレクサー回路で過去、現在のカラーをシフト配分ビットで選び、バレルシフト後のデータで前景、背景カラーを選ぶ。フリッジ演算が指定されている場合にはミキサーレジスターBHのデータがフリッジ選択ビットとなり、フリッジ設定ビットで黒のデータ0001Bを生成するようにする。(1002)回路はそのフリッジビットの重ね合わせに使用する。この場合には画素1括生成A、Bの制御線が格納のために使われる。画素レジスターBのビットを画素レジスターAに重ね合わせるときには(1000)で選択した画素レジスターBのデータを使う。この格納のための制御信号にはミキサーレジスターAHと画素演算コマンドでデコードした値、即ち右シフト時の右側、左側および両側の指定に従ってANDし、それを重ね合わせ指定として(1005)データに入力する。画素レジスターA、BのD2入力は画素レジスター

間の転送とレジスター交換に用いる。

【0027】図11は画素生成コマンド実行時の画素レジスターを1括生成した時の図である。この図は画素演算モードのシフト値を5とした例で、フォントレジスターから画素レジスター迄の1括生成の流れを示している。フォントレジスターAは5ビットバレルシフトされミキサーレジスターAHに格納される。同時にミキサーレジスターALには右側にはみ出したデータを格納する。以前にシフトされたデータはレジスターAHの左側データとして格納される。斜線で示した部分が現在のデータで白の部分は1つ前の過去のデータである。属性レジスターAは現在のカラーデータを保持し、属性レジスターBは過去のカラーデータを保持している。ミキサーレジスターAHの入力データのビットが1のときには前景カラーを選択し、0のときには背景カラーを選択する。

【0028】図12は画素レジスターの右側重ね合わせ機能の流れ図である。この図は画素演算モードのシフト値を5とした例である。右側マスクデータはビット10からビット0までが1でこの部分の重ね合わせが有効となる。従ってミキサーレジスターAHの1の斜線部分のビット位置が重ね合わせの対象となる。図12の左半分が重ね合わせ前のデータで、右半分が重ね合わせ後のレジスターの値である。画素レジスターA群のビット0、3、4、7、10に画素レジスターB群のデータが重ね合わせされる。重ね合わせには右側重ね合わせ以外に、これと丁度反対の左側重ね合わせと全ビット重ね合わせがある。

【0029】図13はフリッジの種類と1画素当たりのフリッジ生成回路である。図13(a)はフリッジ機能を図で示したものである。(1300)は本来の表示フォントである。(1301)は左側フリッジ、(1302)は右側フリッジ、(1303)は上側フリッジ表示である。このフリッジ機能を実現するのが図13(b)で、1画素のフリッジデータを生成する。フォントAには本来の表示フォントが格納され、フォントBには1つ前、或は1つ後のスキャンラインのフォントデータが格納される。(1305)のAND回路は右フリッジの生成、(1306)のAND回路は左フリッジの生成、フォントA(N+1)ビットは現在のフリッジビットから1ビット上位の桁を、フォントA(N-1)ビットは1ビット下位の桁を示している。(1304)のAND回路はフォントBから生成される下側フリッジに右側にもう1ビット付け加えるためのフリッジ回路である。(1307)と(1308)のOR回路で合計し、フリッジがイネーブルで且つフォントAの値が0のとき、フリッジビットを1にする。

【0030】図14は2倍フォントのスムージングとスムージング生成回路である。図14(a)はフォントを2倍にしたときのもので(1400)は拡張後のドット

である。(1401)の部分はスムージング後に追加したドットである。図14(b)はスムージングフォントを追加する回路である。フォントAが1の場合には無条件に2倍フォントが(1404)、(1407)で生成される。フォントAには現在の表示フォントが、フォントBには次の、或は1つ前の表示フォントが格納されている。フォントのNビット位置は現在のビット位置、N+1ビット位置は左側ビット位置、N-1ビット位置は右側ビット位置を示す。AND回路の(1402)は(1401)のスムージングドットを生成し、(1405)のAND回路は(1408)のスムージングドットを生成する。そして(1403)と(1406)のAND回路でスムージング指定をイネーブルする。

【0031】図15はプログラムROMとフォント領域の関係図である。フォント領域の開始アドレスはオフセットアドレスを設定することで変更することができる。この例では横16ドット、縦16ドットのフォントを示している。スキャンラインは現在の表示位置を示している。オフセットアドレスを複数、定義することで2の2乗の境界をこえる文字フォントの残りの部分を別領域に定義できる。また、グラフィクスデータの定義など、まったく異なったデータをアクセスする場合にも使用する。

【0032】図16は画素演算コマンドのデコーダー回路である。画素演算モードレジスター(1601)のデータと画素演算コマンドを(1602)、画素演算コマンドデコーダーユニット(1600)で解釈し、(301)(302)(206)(207)に制御信号を送る。画素演算コマンドのデコーダー回路には文字フォントAと属性レジスターA、Bから画素データを1括生成する画素生成コマンドデコーダー(1603)、文字フォントBからフリンジデータを生成するフリンジ生成コマンドデコーダー(1604)、フォントレジスターA、B及び即値データを画素レジスター群に設定する画素レジスター設定コマンドデコーダー(1605)がある。

【0033】図17(a)と図17(b)はVSYNC、HSYNCの入力タイミングチャートである。図17(c)は圧縮表示RAMデータのフォーマット図である。図17(d)は処理内容の機能ブロック図である。VSYNCとHSYNC入力の位相差から映像信号のフィールドを検出する。図17(a)はフィールド1(奇数フィールド)の検出時のタイミングチャートで図17(b)はフィールド2(偶数フィールド)の検出時のタイミングチャートである。これはVSYNCの後すぐにHSYNCがある場合にはフィールド1、無い場合にはフィールド2と判定する。図17(c)は圧縮表示RAMデータの文字表示データのフォーマットで、ビット15はサブカラー、ビット14-11は4ビットメインカラーを指定する。文字フォントの前景と背景に対しサブ

カラー或はメインカラーの設定ができる。前景がメインカラーの場合、背景はサブカラーとなり、反対に前景がサブカラーの場合には背景がメインカラーとなる。メインカラーの4ビットは直接、画素データの4ビットとして使用される。サブカラーの1ビットは2種類の4ビットカラーの内1つを選択し、画素データとして使用する。ビット10はボタン選択の為にビットで、このビットが1のときには全フォントを1にし、ボタンカラーを画素レジスターに設定する。ビット9はブリンク、ビット反転指定の為に1のとき指定されたモードに従って、フォントA、Bのブリンクやフォントの前景、背景カラー指定を逆転する。アンダーラインビットは前景カラーと同じ画素データを16ビット分、画素レジスターに格納する。残りのビットは文字データに使う。文字データが7ビットを越え、例えば1024種類必要な場合に、増えたビット分の属性を犠牲にして1ワードで表現することもできるが、属性データと文字のデータを2ワードに分けて定義することもできる。図17(d)は処理内容を機能別に表現したもので、(1700)のフォントアドレス属性データ分離処理でフォントアドレスと属性データを分離し、(1701)の画素データ生成処理で16*4ビットの画素データを(302)の画素レジスターA、B群に1括生成し、画素メモリーバンク0、1にタイミング良く書き込む。複数の画素データを読み込み、重ね合わせることで複雑な表示を行う。

【0034】図18はOSD表示ソフトウェアの概略フローチャートである。表示用の制御プログラムは計算機素子のリセットで(1800)から始まる。(1801)でOSDレジスターを初期設定し、(1802)で図19の第1階層から第3階層までの圧縮表示RAMデータの設定をする。そして(1803)でhsync_line=1、field1=0、frame=0、context_swを同期前に設定し、VSYNCとHSYNCの割り込みをイネーブルして、初期設定を完了する。VSYNC割り込み(1804)の最初で割り込みの有効性をチェックする。その方法としてhsync_lineの値が以上に小さい場合にはVSYNC割り込みを無視する。そうすることで耐ノイズ性の向上とバックグラウンド処理に十分な時間の保証をする。(1806)では第1フィールドと第2フィールドの検出とframeを更新する。図17の(a)(b)がそのタイミングを示している。そしてhsync_line=1、context_sw=表示前-1に設定する。HSYNC割り込み(1809)が発生するとhsync_lineを無条件にインクリメントし、プログラムカウンタにcontext_swの値を代入する。context_swが同期前の値のとき、すぐに処理を終了する。表示前-1の状態(1813)では、まず、(1814)でhsync_lineが表示開始前の位置かチェックし、表示開始前直前に(1815)以降の

プログラムを実行する。(1815)で表示処理のための作業用パラメータの初期化をする。次に(1816)で2つのバンクの画素メモリーをクリアする。そして(1817)で画素メモリーバンク0を設定する。(1818)でcontext_sw、half_sw、disp_sw、cursor_swの値を表示可能な状態に設定し、scan_lineを0にする。最後にOSD表示回路の表示位置、表示桁数、表示開始ビット位置、ダブルスキャン等のモードをレジスターに設定する。表示中の状態(1819)では第1階層(1820)、第2階層(1821)、第3階層(1822)の表示データを設定し、表示完了後、(1824)でcontext_swに表示終了の値を設定する。表示終了及び同期前の状態ではHYSNC割り込みが発生してもすぐに処理を終了する。

【0035】図19は階層別表示データフォーマット図である。(1901)は第1階層のハーフトーンフォーマットである。その構成はハーフトーン領域の数を含むハーフトーン制御ワード、その数の分の開始座標と終了座標のデータからなる。(1902)は第2階層の文字・ボタン表示フォーマットである。これは表示行数や表示開始位置を含むページ制御ワード、表示桁数、表示サイズ、表示開始桁を含む行制御ワード、属性と文字のデータ、ボタン表示のとき、ボタンの開始位置、終了位置、種類を含むボタン表示制御ワードから構成されている。(1903)は第3階層のカーソルフォーマットである。カーソル制御ワードはカーソルフォントの指定、縦、横の大きさを指定し、カーソル開始位置は垂直、水平の位置を指定する。

【0036】図20はハーフ・トーン表示とカーソル表示の概略フローチャートである。第1階層のハーフトーン表示は(2000)からで、half_swの値をPCに格納する。(2002)で現在のハーフトーン表示のパラメータを格納する。ハーフトーンの表示範囲内であれば(2004)に分岐する。ここでフレームとhsync_lineの間でXORをとり、1の時、AA(16進数)パターン of 黒の画素データを画素メモリーに格納する。0の時には5555(16進数)パターンの黒を設定する。こうすることで水平同期信号毎に網の目状の黒のパターンを生成する。またフレーム毎に位相をずらす。ハーフトーン表示の範囲外の時には(2008)で範囲以下のチェックをする。範囲以下の場合にはハーフトーンを終了する。現在のハーフトーンの領域を越える場合には次のハーフトーンの開始、終了位置のデータに移動し、全部の処理を完了している場合にはhalf_swにハーフトーン終了の値を格納し、ハーフトーン表示の処理を完了する。

【0037】図21は文字表示とボタン表示のための概略フローチャートである。(2100)の第2階層の文字表示では、disp_swをPCに格納し文字表示の

処理を開始する。(2103)で現在の文字行制御ワードを格納し、表示開始桁の抽出、処理桁数の設定、表示ボタン数の計算を行う。(2104)から(2110)で表示文字を画素データに変換する。(2104)で属性+文字データを読み込み、読みだしポインターを+1する。(2105)でそのデータを圧縮表示RAMデータレジスターに書き込み属性データとフォントアドレスに分離する。(2106)でフォントアドレスをもとに記憶装置から文字フォントを読み込み、フォントレジスターAに転送する。次に(2107)で画素生成コマンドを発行し、画素レジスターB群に画素データを生成し、同時に画素レジスターA群に画素メモリーのデータを取り込む。(2108)で画素レジスターA群にB群のデータを重ね合わせる。(2109)で画素レジスターA群を画素メモリーに書き込み、画素メモリーアドレスを+1する。(2110)で全桁処理の完了をチェックする。(2111)から(2116)でボタン表示の処理をする。(2111)で現在のボタン制御ワードを格納し、(2112)で画素メモリーアドレスの計算し、表示ボタンデータを画素レジスターB群とミキサーレジスターAHに生成する。(2113)で画素レジスターA群に画素メモリーデータを取り込み(2114)で画素レジスターB群のデータを重ね合わせる。(2115)で画素レジスターA群のデータを画素メモリーに書き込み、(2116)で全ボタン表示の完了をチェックする。(2117)で表示フォントのscan_lineを+1し、scan_lineが最大値を越えると0に初期化し、行を+1し、全行の処理後、disp_swに文字表示終了を設定する。

【0038】図20の第3階層のカーソル表示では(2016)でカーソル開始位置をチェックする。(2017)でカーソルデータを画素メモリーに重ね合わせ、cursor_lineを+1する。最大カーソルラインを越えるとcursor_swにカーソル終了を設定し、処理を完了する。

【0039】

【発明の効果】本発明には、以下の効果がある。

【0040】表示用スキャンメモリー、表示回路、高速画素演算回路、計算機素子をソフトウェアで組み合わせることで、ビットマップ形式と同じ、複雑なOSD表示が可能となる。

【0041】複数種類の圧縮した形の表示データと高速演算回路の重ね合わせ機能を使用することで階層構造のOSD表示ができる。

【0042】新しいOSD表示機能の要求に対しても、画素生成のためのソフトウェアを修正することで柔軟に対処できる。

【0043】OSD機能自体を各ブロックで分散して処理するため、ソフトウェアで機能の追加が困難になった場合でも高速画素演算回路などの1部の回路の修正で

実現できるので設計変更が容易である。

【0044】文字フォントとグラフィクスアイコンの総数や階層構造からなる表示データのサイズをソフトウェアで定義できるので、ROMやRAMの記憶装置を無駄なく使用することができる。

【0045】1クロックでフォントアドレスと属性データの抽出をしたり、フォントデータから複数ワードの画素データを1括生成することにより、通常の計算機素子で、リアルタイムのOSD表示ができる。

【0046】最低でも2本の水平走査線分の表示用スキャンメモリーしか必要としないのでシステムの低価格化を図ることができる。

【図面の簡単な説明】

【図1】3階層からなるOSD表示の例である。

【図2】OSDシステム全体のブロック図である。

【図3】OSD回路である。

【図4】フォントアドレス・属性データ分離生成回路である。

【図5】フォントシフター・フリンジ生成回路である。

【図6】画素レジスター群A、B回路である。

【図7】画素レジスター群と画素メモリーである。

【図8】OSD表示回路とカラーパレットである。

【図9】画素生成コマンド実行時の機能ブロック図である。

【図10】画素レジスタービットA、Bとその周辺回路である。

【図11】画素生成コマンド実行時の画素レジスター1括生成図である。

【図12】画素レジスターの右側重ね合わせ図である。

【図13】フリンジの種類と1画素当たりのフリンジ生成回路である。

【図14】2倍フォントのスムービングとスムービング生成回路である。

【図15】プログラムROMとフォント領域の関係図である。

【図16】画素演算コマンドのデコーダー回路である。

【図17】(a)と(b)はVSYNC、HSYNCの入力タイミング図である。(c)は圧縮表示RAMデータのビットフォーマット図である。(d)は処理内容の

機能ブロック図である。

【図18】OSD表示ソフトウェアの概略フローチャートである。

【図19】階層別表示データフォーマット図である。

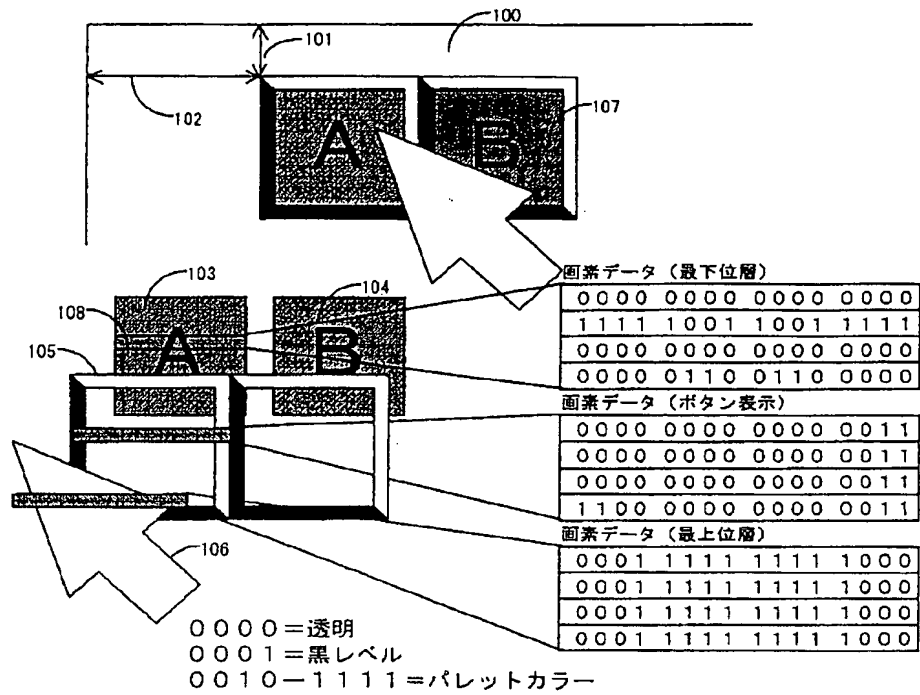
【図20】ハーフ・トーン表示とカーソル表示の概略フローチャートである。

【図21】文字表示とボタン表示のための概略フローチャートである。

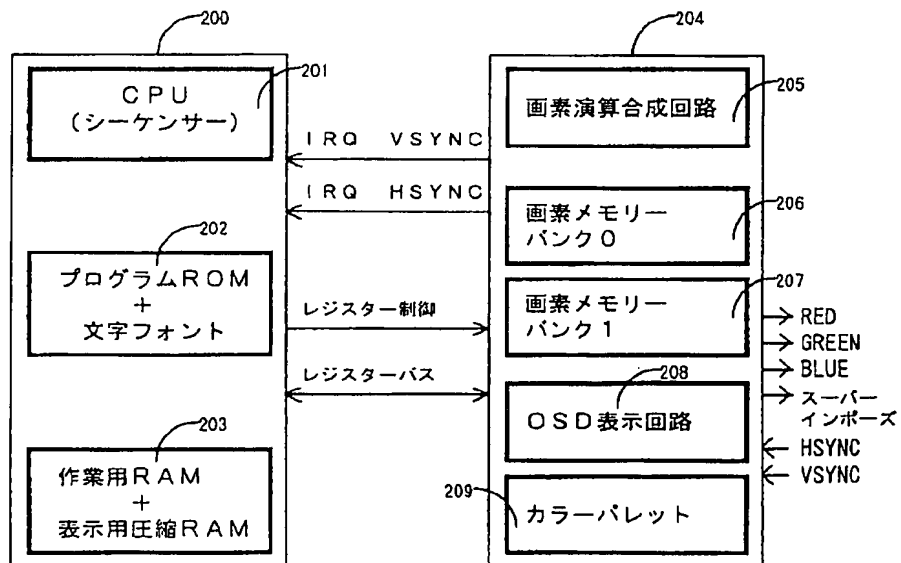
【符号の説明】

100	テレビ画面
101	垂直表示位置
102	水平表示位置
103	背景カラー
104	前景カラー
105	ボタン表示
106	カーソル表示
107	文字フォント
108	スキャンライン
200	計算機素子(シーケンサー)
204	OSD回路
508	マルチプレクサー
509	マルチプレクサー
1000	4×1 マルチプレクサー
1001	4×1 マルチプレクサー
1002	2×1 マルチプレクサー
1003	3入力2イネーブルDFF
1006	3入力2イネーブルDFF
1300	フォント
1301	左側フリンジドット
1302	右側フリンジドット
1303	上側フリンジドット
1400	2倍フォント
1401	上位スムービングドット
1408	下位スムービングドット
1500	パレルシフター・マルチプレクサー
1502	画素ビットAとBの基本ユニット
1600	画素演算コマンドデコーダーユニット
1901	ハーフ・トーン表示フォーマット
1902	文字・ボタン表示フォーマット
1903	カーソル表示フォーマット

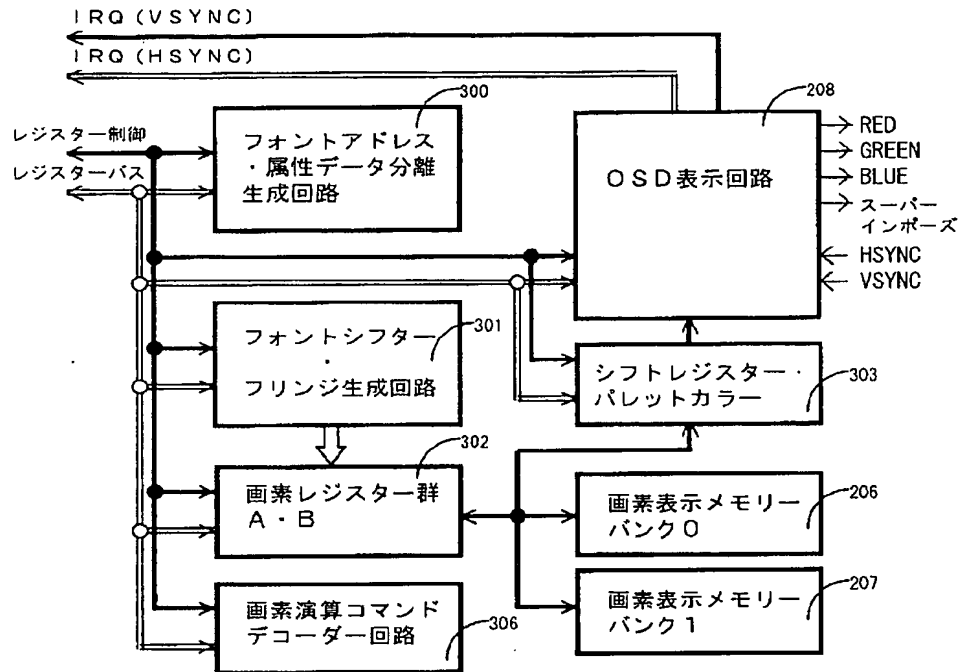
【図 1】



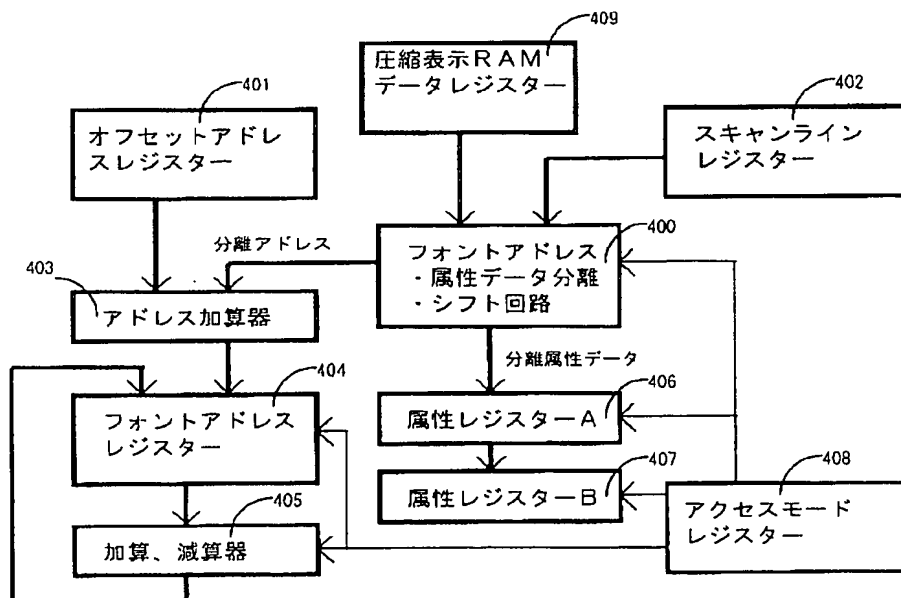
【図 2】



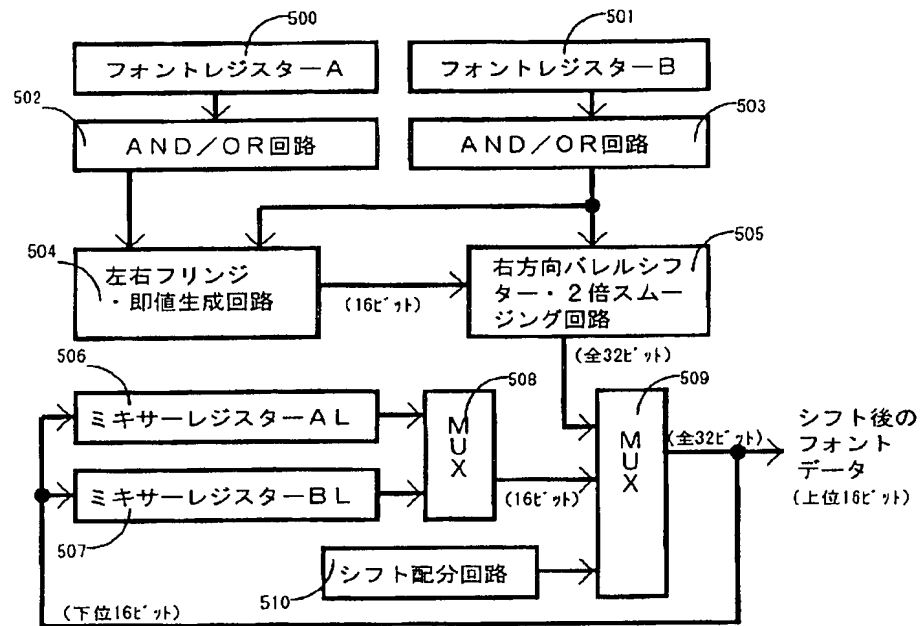
【図 3】



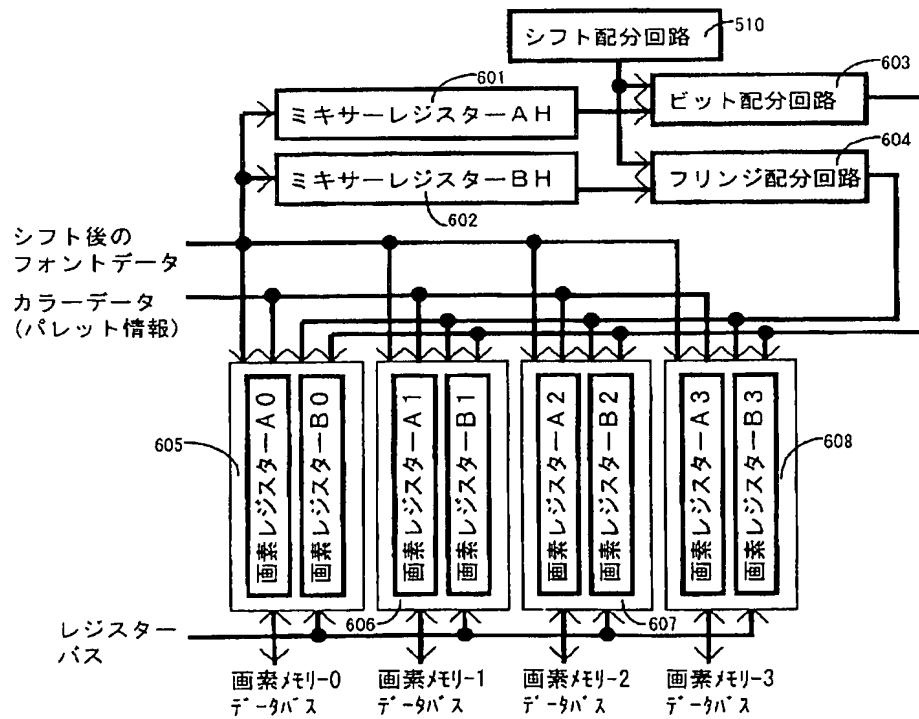
【図 4】



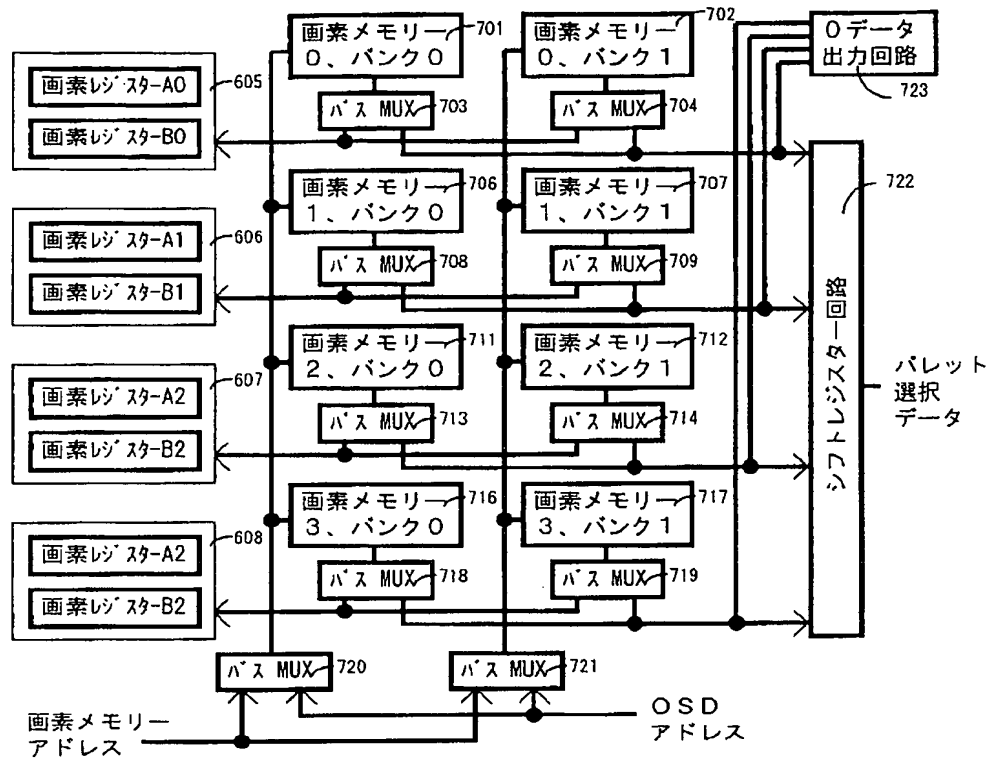
【図 5】



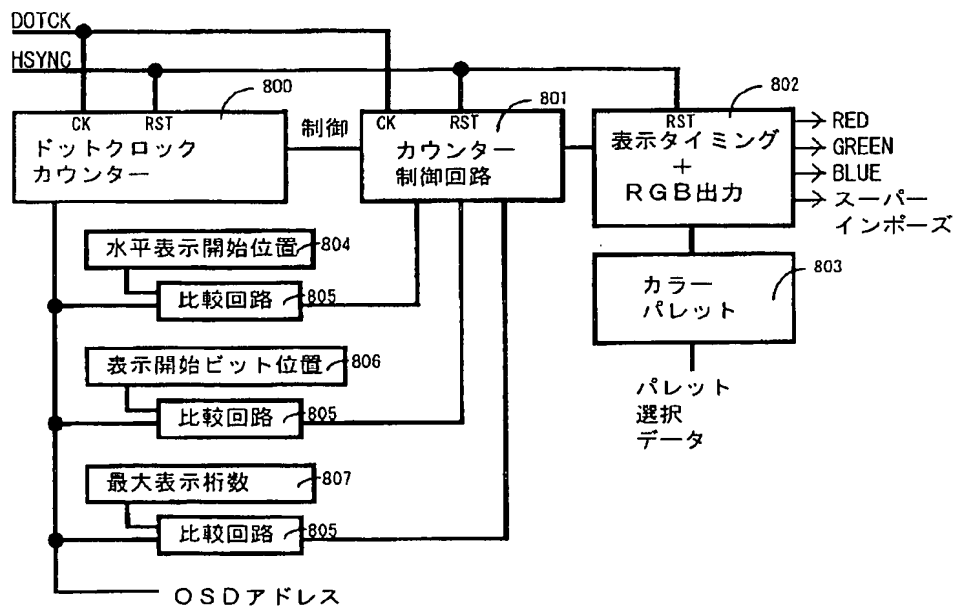
【図 6】



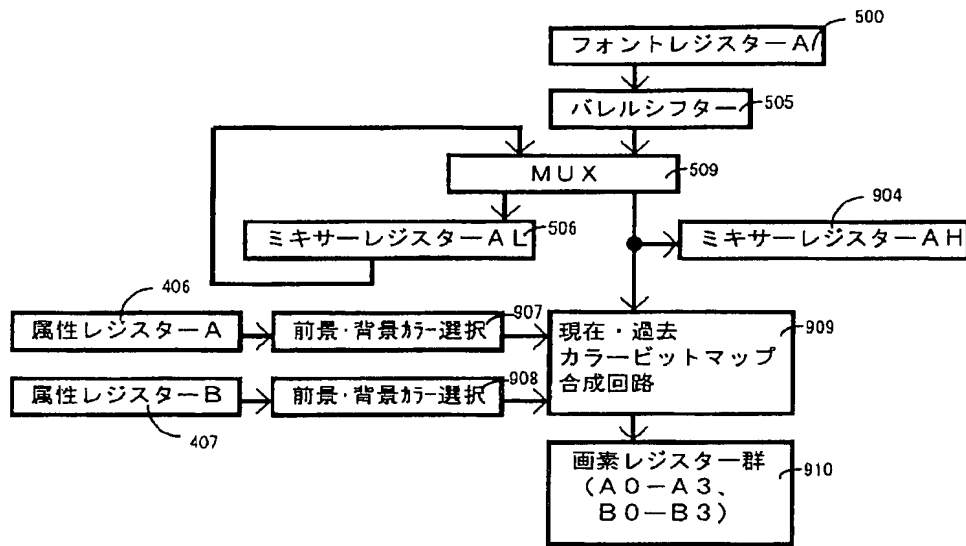
【図 7】



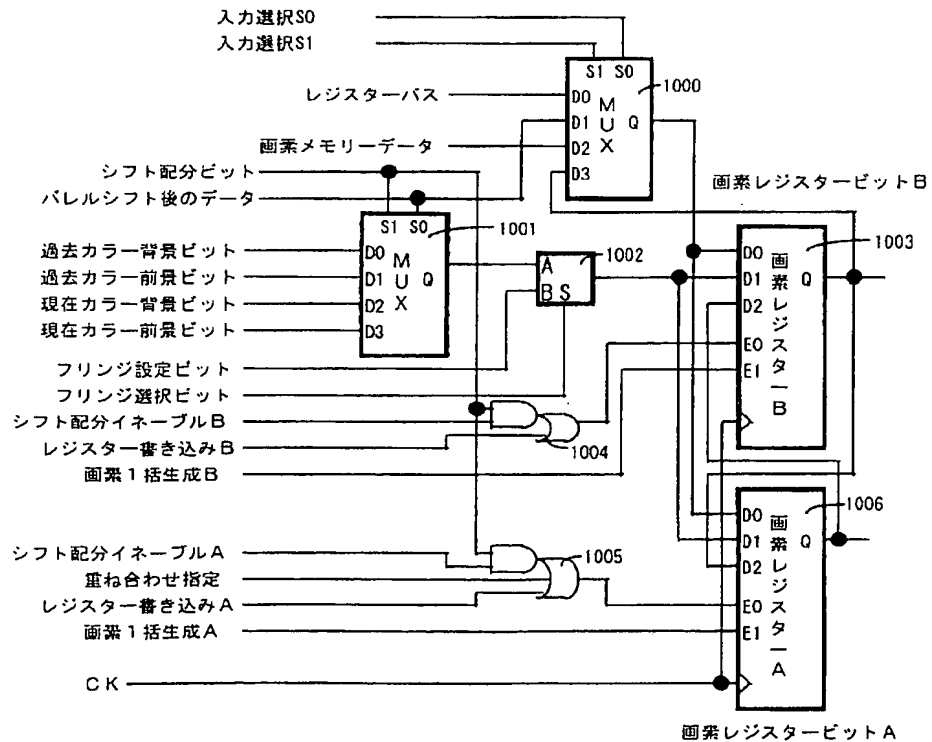
【図 8】



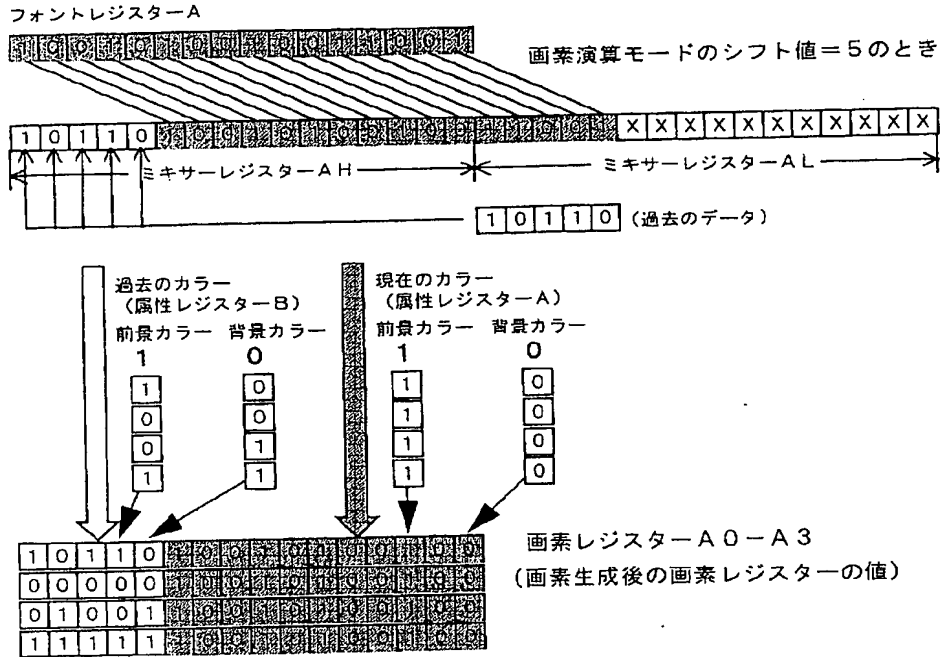
【図9】



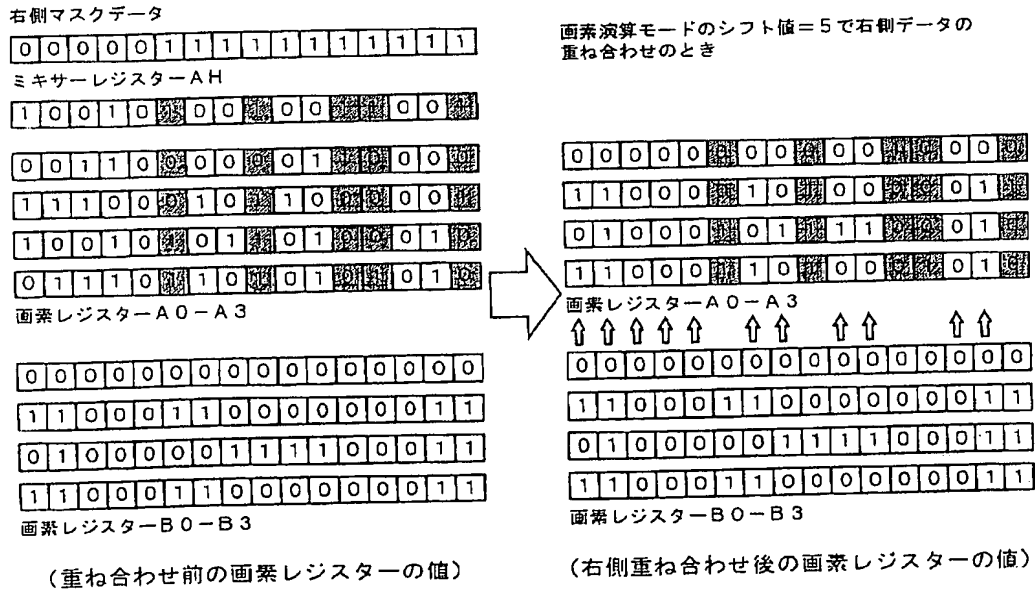
【図10】



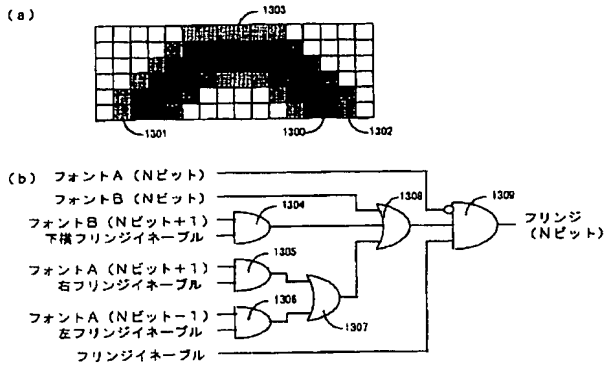
【図11】



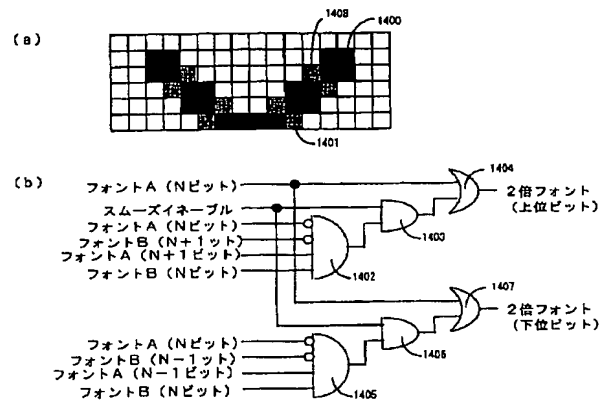
【図12】



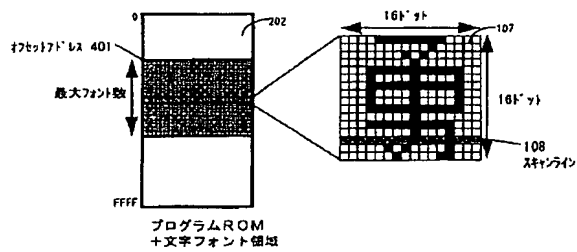
【図13】



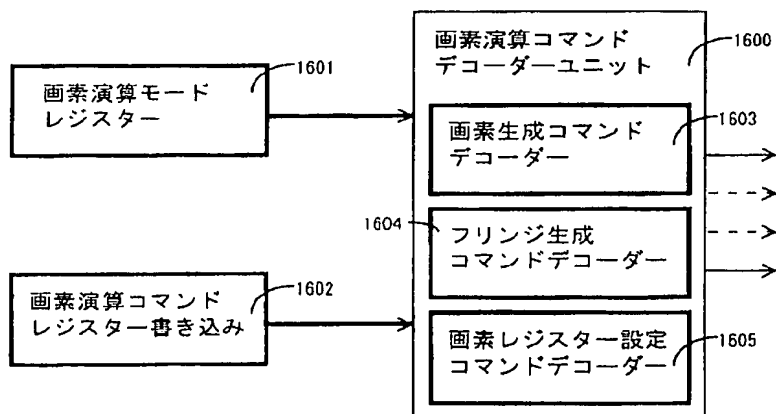
【図14】



【図15】



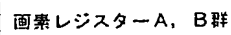
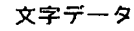
【図16】



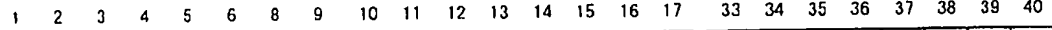
(a)



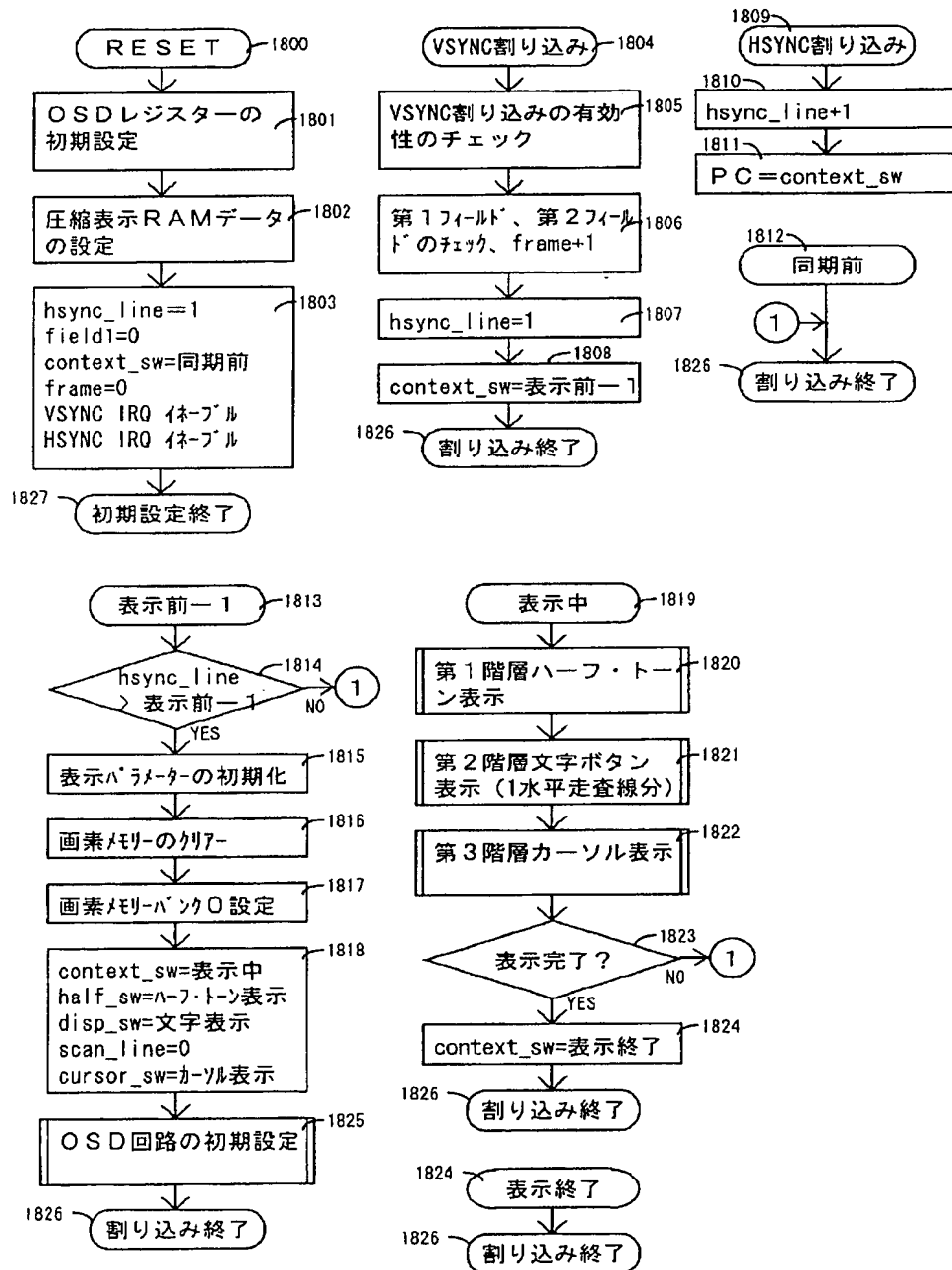
メインカラー



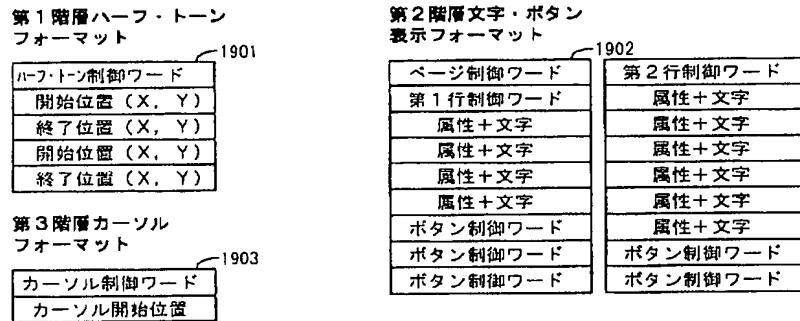
- 302

[illegible]

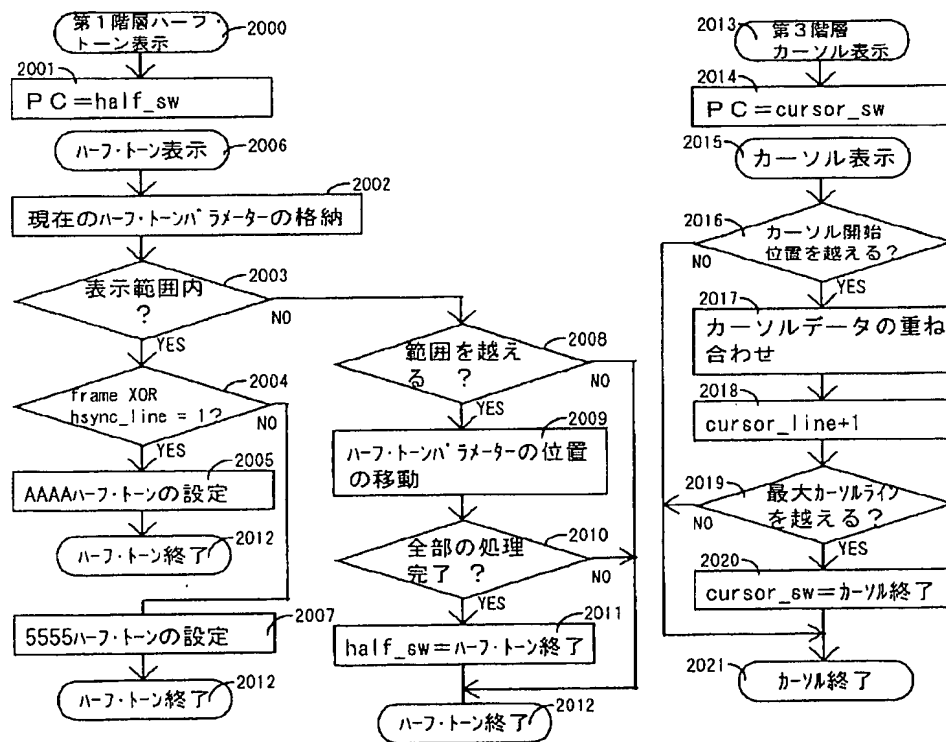
【図18】



【図19】



【図20】



【図21】

